高効率・低ノイズ化を実現する GaN デバイス駆動技術

野坂 紀元，岡田 亘，上松 武

近年、電力変換器の高電力密度化実現のために GaN GIT（窒化ガリウム、ゲート注入トランジスタ）を使用した高速スイッチング回路が注目されている。GaN GIT は超高速スイッチング性能を備えているが、閾値電圧が低いために誤点弧を引き起こす可能性がある。誤点弧現象を防ぐために、従来はRC型ゲート駆動法が使用されている。ただし、ターンオフ期間中に過大なスパイクゲート電圧が発生するため、ターンオフのスピードを遅くする必要があり、GaN 本来の高速性を活かし切れていなかった。この問題を解決するために、本稿では 2 段階ターンオフ方式を使用した GaN GIT 向けゲート駆動回路を提案する。低スパイクゲート電圧と高速ターンオフスイッチングの相反する性能を同時に満たすことが可能である。この回路は、GaN GIT を使用してボードに実装され、同期整流型 DC/DC コンバータに適用し、実験的に有用性を確認出来た。

Novel GaN Device Gate Driving Technique For High Efficiency and Noise Reduction

NOSAKA Noriyuki, OKADA Wataru and UEMATSU Takeshi

Recently, high-speed switching circuits using GaN GIT have attracted attention for higher power density. Especially, GaN GIT devices have an ultra-fast speed capability but tend to cause false turn-on due to a lower threshold voltage. A simple RC-type gate drive method is usually used to prevent the false turn-on phenomenon. However, during the turn-off period, the spike gate voltage will exceed the rated voltage, it is necessary to slow down the turn-off switching speed, the high-speed switching characteristics of GaN GIT could not be fully utilized. To solve this problem, we propose that the novel GaN GIT gate driving technique using a two-step turn-off fashion. It is possible to simultaneously satisfy the conflicting performance of low spike voltage and high-speed turn-off switching. This circuit was implemented on the board using the GaN GIT device and applied to a synchronous rectification type boost converter. It is confirmed experimentally that this driving technique is verified to be useful.

1. まえがき

近年、電力変換器の高電力密度、高効率化実現に向けて、シリコン（Si）に代わる新しい半導体デバイスの材料として、ワイドギャップ半導体が注目されている[1)]。電力変換器は冷却部品（ヒートシンク）、受動部品（コンデンサ、リアクトル）が大きな割合を占めており、高効率化・高周波化によりこれらの小型化・低コスト化を実現出来る。オムロンの製品群である電力変換器（パワーコンディショナ、汎用電源、サーボドライブ）は数百 W～数 kW 程度であり、図 1 に示すように特に窒化ガリウム（GaN）の適用を検討している。Si デバイスは大きな入力、及び出力容量を持ち、またボディダイオードの逆回復動作が悪いのに対し、GaN デバイスはこれらの容量がはるかに小さく、逆回復特性が優れている。従って、GaN デバイスを使用することで高効率を実現できる。GaN デバイスの物性特性を限界まで引き出すために、垂直型構造[2)]、横型構造[3)] など、様々な内部構造を持つ GaN デバイスが開発されている。デプレッションモード[4)] GaN はノーマリーオンデバイスであり、エンハンスメントモード（E-M）[5)] GaN は扱いやすいノーマリーオフを実現している。また MOSFET を使用したハイブリッドモード（H-M）[6)] 構造も開発されている。表 1 に入手可能な代表的なデバイスのパラメータ比較

Contact : *NOSAKA Noriyuki* noriyuki.nosaka@omron.com

を示す。なお青字は利点、赤字は欠点を示す。GaN GIT（ゲート注入トランジスタ）[7] は、ノーマリーオフ動作と表 1 の通り容量 C、電荷量 Q が小さく高速駆動を実現できるデバイスとして注目されている。

本論文では、GaN GIT に焦点を絞り説明する。このデバイスの閾値電圧 V_{th} は、表 1 の通り Si デバイスよりもはるかに低く、オフ状態の維持は GaN GIT にとって非常に重要である。GaN GIT はノイズに敏感であり、負のゲート電圧は、ミラー電流による GaN GIT の誤点弧防止に必要である。負のゲート電圧がないために、誤点弧が発生した場合、アーム短絡現象が発生し、壊滅的な障害につながる可能性がある。負のゲート電圧は通常、バイポーラ電源で実装される。GaN GIT のスイッチング性能を引き出すためには RC 型ゲート駆動法[8,9,10,11] が提案されている。この方法により、GaN GIT のゲートをより高い電圧で駆動できるため、スイッチングが高速にできる。ただし、ターンオフの高速性故に大きな負のスパイクゲート電圧が発生する。

これらの問題を解決するために、低ノイズと高速ターンオフスイッチングの相反する性能を同時に実現可能な GaN GIT ゲート駆動法「2 段階ターンオフ方式」を提案する。2 章、3 章では従来のゲート駆動回路、及び提案するゲート駆動回路の動作原理について説明する。4 章では、提案するゲート駆動回路を同期整流型 DC/DC コンバータに適用し、有効性を実験により確認した。

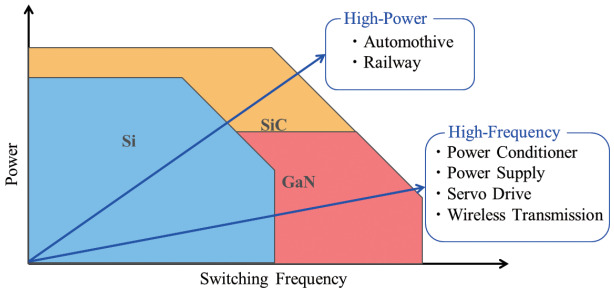


図 1　パワーデバイスとアプリケーション

表 1　デバイスパラメータ比較

	Si	SiC	GaN H-M	GaN E-M	GaN GIT
V_{ds} [V]	600	650	650	650	600
I_d [A] Max.	35	39	34	30	31
R_{dson} [m Ω] Typ.	52	48	50	50	55
C_{iss} [pF] Typ.	2850	1118	1000	242	380
C_o (tr) [pF] Typ.	1050	194	310	160	102
Q_g [nC] Typ.	68	33	16	6.1	5.8
Q_{oss} [nC] Typ.	—	78	126	64	41
Q_{rr} [nC] Typ.	6000	125	126	0	0
V_{th} [V] Typ.	3.5	4.5	4	1.7	1.2

2. 従来のゲート駆動回路

2.1 回路構成

図 2 に従来の RC 型ゲート駆動回路構成を示す。この回路はシンプル、かつ長年の実績があるが図 3（赤い丸で囲んだ部分）に示すように、より速いターンオフ中に大きな負のスパイクゲート電圧を引き起こす可能性がある。従って、高周波スイッチングを阻害してしまう。

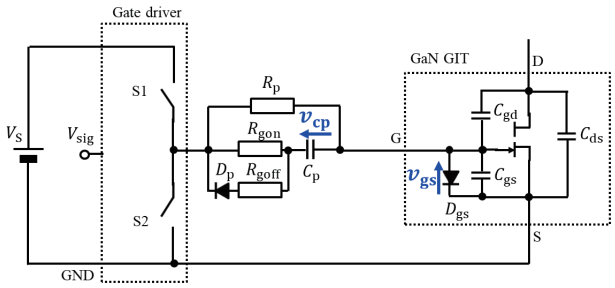


図 2　従来のゲート駆動回路

2.2　動作原理

図 3 に動作シーケンスを示す。図 4 に、従来の RC 型ゲート駆動回路の各期間での等価回路を示す。図 3 に関して、R_{gon} と R_{goff} は非常に小さいため、無視して動作原理を説明する。

TERM I $[T_0 \le t \le T_1]$:

T_0 でスイッチ S1 がオンになると、GaN GIT の入力容量（$C_{iss}=C_{gs}+C_{gd}$）は容量 C_P を介して充電を開始する。同時に、GaN GIT のゲートとソースの間に形成された寄生ダイオード D_{gs} に電流が流れ始める。

TERM II $[T_1 \le t \le T_2]$:

ターンオンが完了すると、ゲート電流は常に R_P を通ってゲートとソースの間の寄生ダイオードに流れ、ターンオン状態を維持する。v_{gs} は、寄生ダイオードの順方向電圧（V_F）でクランプされる。これは、GaN GIT のバンドギャップによって決まる。R_P は、一般に寄生ダイオードの V_F が約 3.5 V になるように設計される。期間 II の v_{gs_II} および V_{CP_II} 電圧は、式(1)および式(2)で与えられる。ここで、V_S はゲート供給電圧である。

$$V_{gs_II} = V_F \tag{1}$$

$$V_{CP_II} = V_S - V_F \tag{2}$$

TERM III $[T_2 \le t \le T_3]$:

T_2 でスイッチ S2 がオンになると、C_{iss} は C_P を介して放電を開始する。v_{gs} はそれに応じて減少する。負電圧 V_N は、一般的な MOSFET の式(3)[12] を使用して計算可能である。

ここで、Q_g は 0 V から V_F までの総ゲート電荷量である。スイッチング速度は R_{goff} によって調整可能である。ゲート電圧が急峻に負電圧に変化するため、V_N に追加で大きなスパイクゲート電圧が発生する。

$$V_N = \frac{Q_g - C_P \cdot V_{CP_II}}{C_{iss} + C_P} \tag{3}$$

TERM IV $[T_3 \le t \le T_4]$:

C_{iss} と C_P は、R_P を介して放電される。ゲート電圧 v_{gs} は、上記の RC 時定数で 0 V に近づく。期間 IV 中の v_{gs_IV} 電圧は式(4)で与えられる。

$$v_{gs_IV}(t) = V_N \cdot \exp\left[\frac{-(t - T_3)}{R_P (C_P + C_{iss})}\right] \tag{4}$$

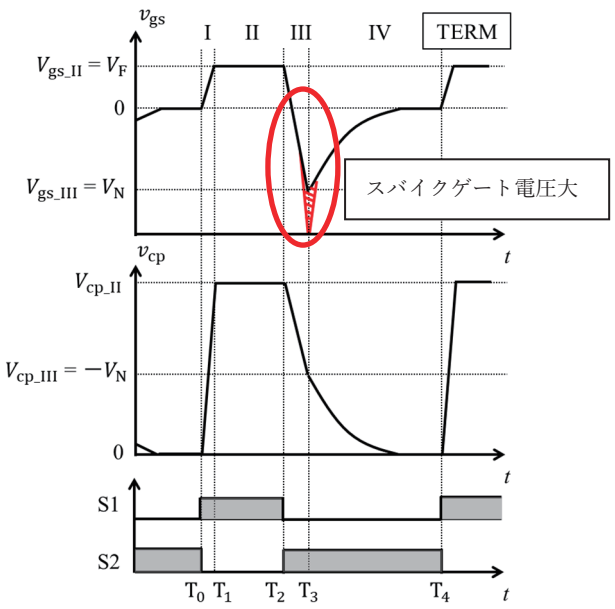


図 3　従来のゲート駆動回路の動作シーケンス

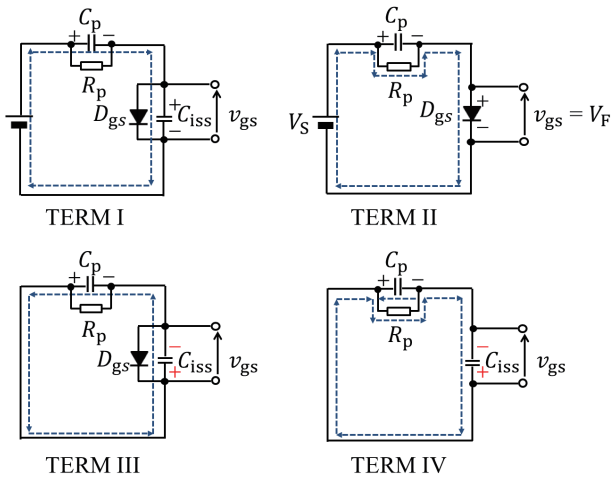


図 4　従来のゲート駆動回路の等価回路

3. 提案のゲート駆動回路

3.1　回路構成

図 5 に、Q_S、R_S、C_S（赤い破線部分）で構成される「2 段階ターンオフ」のゲート駆動回路を示す。ミラー電流によって引き起こされるパワートランジスタの誤ったターンオンを防ぐために使用されるアクティブミラークランプ MOSFET Q_S は、市販のゲートドライバで実装されている。ミラークランプ機能を使用すると、パワートランジスタのゲート電圧は通常、オフ状態のときに約 2 V 未満でクランプされる。提案したゲート駆動回路は、図 6（赤い丸で囲んだ部分）に示すように、ターンオフ中のスパイクゲート電圧を低減可能である。

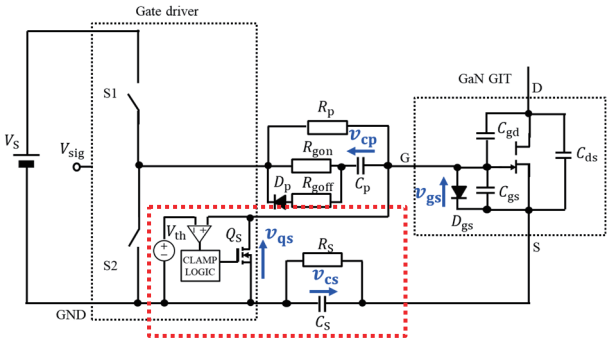


図 5　提案のゲート駆動回路

3.2　動作原理

図 6 に動作シーケンスを示す。図 7 に、提案したゲート駆動回路の各期間で等価回路を示す。図 7 に関して、R_{gon}、R_{goff}、および MOSFET Q_S の静電容量は C_P および C_S より非常に小さいため無視する。

TERM I $[T_0 \le t \le T_1]$:

T_0 でスイッチ S1 がオンになると、GaN GIT の入力容量（C_{iss}）は、C_P および C_S を介して充電を開始する。期間 I の終了時の V_{gs_I}、V_{CP_I}、および V_{CS_I} 電圧は、式(5)、式(6)、および式(7)に示される。

$$V_{gs_I} = V_F \tag{5}$$

$$V_{CP_I} = (V_S - V_F)\frac{C_S}{C_P + C_S} \tag{6}$$

$$V_{CS_I} = (V_S - V_F)\frac{C_P}{C_P + C_S} \tag{7}$$

TERM II $[T_1 \le t \le T_2]$:

T_1 でターンオンが完了すると、v_{gs} は寄生ダイオード D_{gs} の順方向電圧（V_F）でクランプされる。C_P と C_S は、R_P と R_S を介して放電および充電される。期間 II の終了時の V_{CP_II} および V_{CS_II} 電圧は、MOSFET の一般式[12] により式(8)、式(9)で表される。

$$V_{CP_II} = V_{CP_I}\left(1-\frac{C_P+C_S}{C_S}\frac{R_P}{R_P+R_S}\right)\cdot\exp\left[\frac{-(T_2-T_1)}{\left(\frac{R_P\cdot R_S}{R_P+R_S}\right)(C_P+C_S)}\right] + (V_S-V_F)\frac{R_P}{R_P+R_S} \quad (8)$$

$$V_{CS_II} = V_{CS_I}\left(\frac{C_P+C_S}{C_P}\frac{R_S}{R_P+R_S}-1\right)\left[1-\exp\left[\frac{-(T_2-T_1)}{\left(\frac{R_P\cdot R_S}{R_P+R_S}\right)(C_P+C_S)}\right]\right] + V_{CS_I} \quad (9)$$

TERM III $[T_2 \le t \le T_3]$:

T_2でスイッチS2がオンになると、GaN GITのC_{iss}は、C_PおよびC_Sを介して放電を開始する。各々のコンデンサの電荷が均衡すると、放電は終了する。期間IIIの終了時のV_{gs_III}、V_{CP_III}、V_{CS_III}、およびV_{qs}電圧は、式(10)から式(13)に示す。これらは、電荷保存則を適用して導出される。2段階ターンオフを実現するには、V_{qs_III}をスレッショルド電圧（V_{th}）より高い値でクランプする必要がある。その結果、スパイクゲート電圧は従来のRC型回路に比べて低減する（図6）。

$$V_{gs_III} = \frac{C_P\left[Q_g - V_{CS_II}\cdot C_S\right] + C_S\left[Q_g - V_{CP_II}\cdot C_P\right]}{\left(C_P\cdot C_S + C_S\cdot C_{iss} + C_{iss}\cdot C_P\right)} \quad (10)$$

$$V_{CP_III} = \frac{C_S\left[V_{CP_II}\cdot C_P - Q_g\right] + C_{iss}\left[V_{CP_II}\cdot C_P - V_{CS_II}\cdot C_S\right]}{\left(C_P\cdot C_S + C_S\cdot C_{iss} + C_{iss}\cdot C_P\right)} \quad (11)$$

$$V_{CS_III} = \frac{C_P\left[V_{CS_II}\cdot C_S - Q_g\right] + C_{iss}\left[V_{CS_II}\cdot C_S - V_{CP_II}\cdot C_P\right]}{\left(C_P\cdot C_S + C_S\cdot C_{iss} + C_{iss}\cdot C_P\right)} \quad (12)$$

$$V_{qs_III} = V_{gs_III} + V_{CS_III} \quad (13)$$

TERM IV $[T_3 \le t \le T_4]$:

C_{iss}、C_P、およびC_Sは、R_PおよびR_Sを介して放電される。

TERM V $[T_4 \le t \le T_5]$:

ゲート端子とゲート電源GND端子間の電圧v_{qs}がスレッショルド電圧（V_{th}）より低くなると、MOSFET Q_SがONする。同時に、C_{iss}、C_P、およびC_Sは、MOSFET Q_Sの経路で瞬時に放電される。

TERM VI $[T_5 \le t \le T_6]$:

C_{iss}とC_Sは、R_Sを介して放電される。ゲート電圧v_{gs}は、上記のRC時定数で0 Vに近づく。

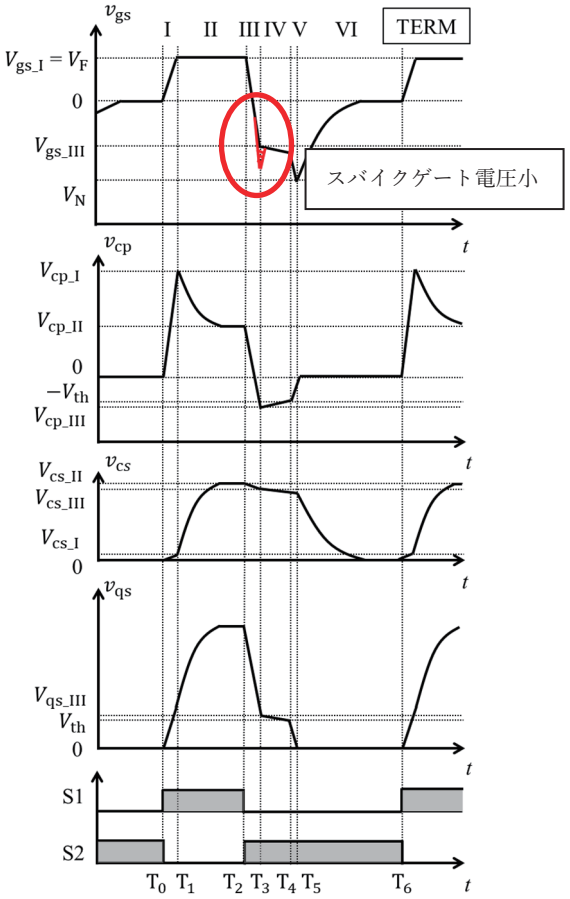


図6　提案のゲート駆動回路の動作シーケンス

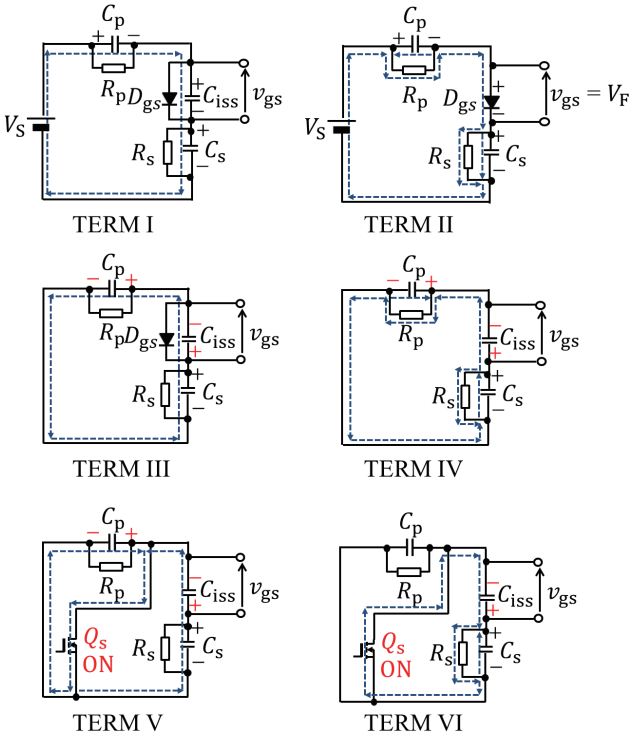


図7　提案のゲート駆動回路の等価回路

4. 実験結果

図 8 と図 9 に、使用した評価ボードと同期整流型 DC/DC コンバータのブロック図を示す。従来回路と提案回路をゲート駆動回路（GD1、GD2）に適用し、GaN GIT は IGOT60R070D1（Infineon）[13] を使用した。デバイスの定格動作領域を考慮し V_{in}＝150 V、V_{out}＝300 V、P_{out}＝0.25－1 kW、f_{SW}＝20 kHz の昇圧動作条件で評価を行った。表 2 に、使用したパラメータを示す。C_P は、ミラー電流によって引き起こされる GaN GIT の誤ったターンオンを防ぐために、約 V_N＝－5.0 V に調整した。

図 10 に効率測定結果を示す。従来回路と提案回路で効率に差がないことがわかる。図 11 に、P_{out}＝1 kW 条件における従来のゲート駆動回路波形（図 11(a)）と提案したゲート駆動回路波形（図 11(b)）を示す。左欄は Q_2 デバイスがターンオフ時、右欄は Q_1 デバイスがターンオフ時の波形である。電圧信号 v_{gs} および v_{ds} は、光アイソレーション差動プローブ（TIVM1、TIVH08：Tektronix 社製）によって検出した。デバイス Q_1 のターンオフ時のスパイクゲート電圧は、従来回路では－12.8 V、提案回路では－7.2 V である。提案回路は、従来のものと比較して、スパイクゲート電圧を 5.6 V 改善した。同様に、デバイス Q_2 のターンオフ時のスパイクゲート電圧は、従来回路では－12.4 V、提案回路では－4.0 V である。提案回路は、従来のものと比較して、スパイクゲート電圧を 8.4 V 改善した。提案駆動回路は、デバイス Q_1、Q_2 のターンオフ時において、ともに 2 段階ターンオフスイッチングを実現できているため、スパイクゲート電圧の発生を抑制している。従って、－10 V の定格ゲート-ソース間電圧に対して十分なマージンを確保できる。また、従来の回路との間で、Q_1 と Q_2 のターンオフ時のドレイン-ソース間電圧のスイッチング速度に大きな相違はない。さらに提案回路は、スイッチング期間中にゲート電圧に重畳されるミラーノイズが低減可能であり、スイッチング期間中にミラークランプ MOSFET Q_S によりゲート回路の低インピーダンスを実現できると考えられる。これらの結果から、2 段階ターンオフ回路を適用することにより、低スパイクゲート電圧と高速ターンオフスイッチングの相反する性能を同時に満たすことが実験により確認出来た。

表 2　評価条件

構成部品	定数	
	従来回路	提案回路
R_p	330 Ω	130 Ω
R_s	—	200 Ω
R_{gon}	22 Ω	22 Ω
R_{goff}	0 Ω	0 Ω
C_p	3.2 nF	1.0 nF
C_s	—	22 nF

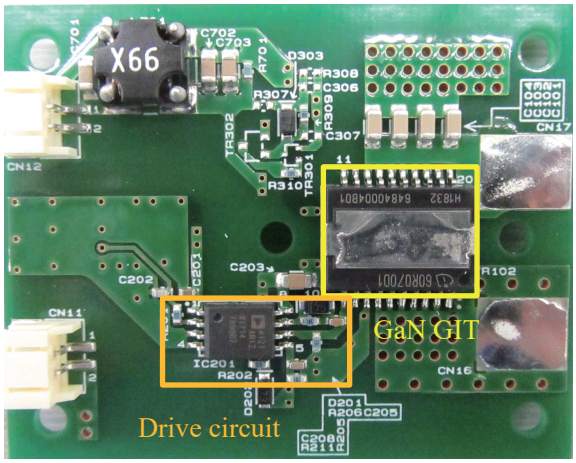


図 8　評価ボード

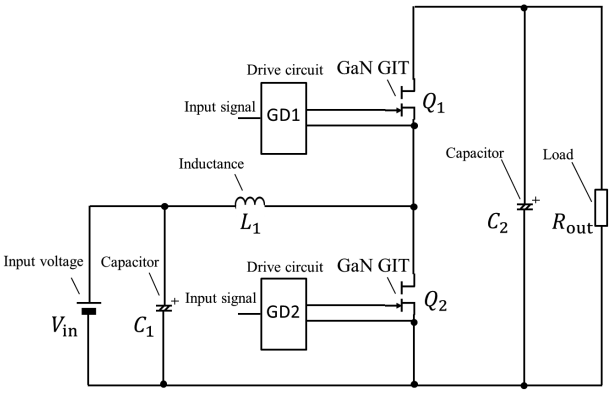


図 9　同期整流型 DC/DC コンバータ

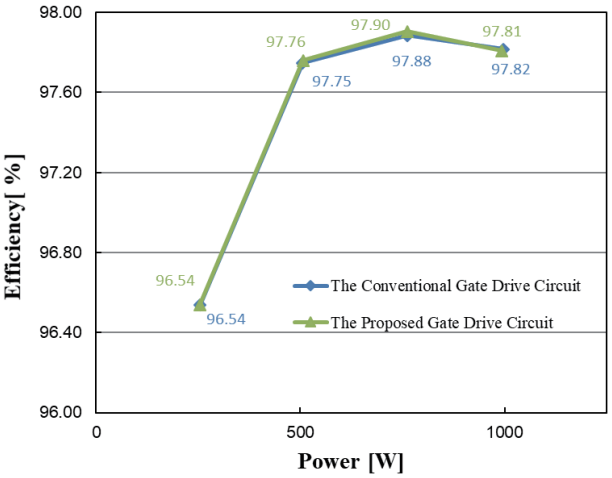
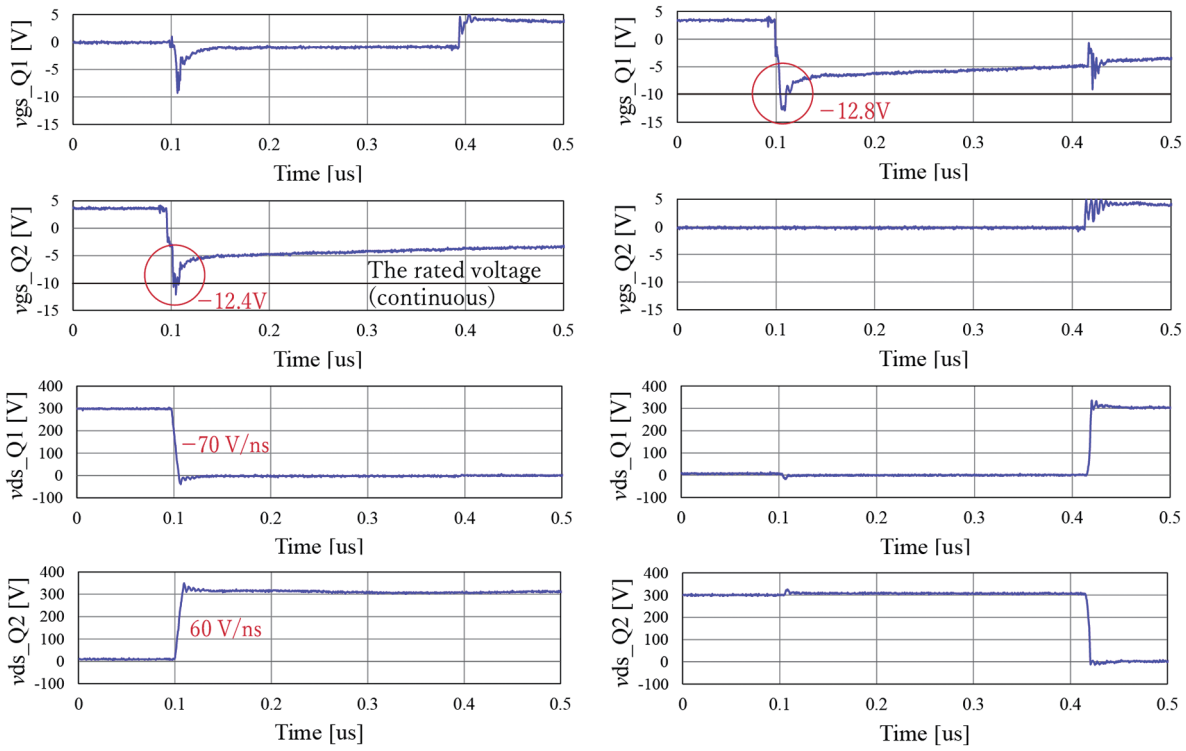
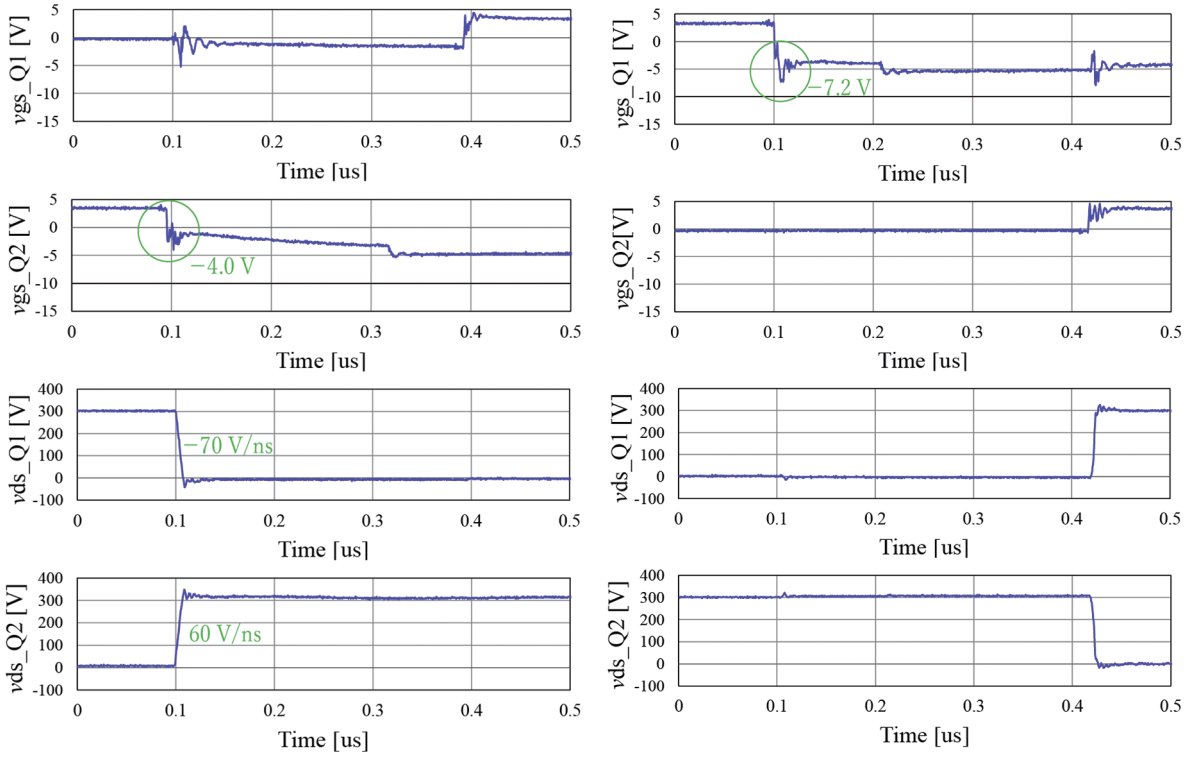


図 10　効率測定評価結果



Q_2 ターンオフ時　　Q_1 ターンオフ時

（a）従来のゲート駆動回路



Q_2 ターンオフ時　　Q_1 ターンオフ時

（b）提案ゲート駆動回路

図 11　波形測定評価結果

5. むすび

従来のゲート駆動回路では、スイッチング時に大きなスパイクゲート電圧が発生し、高速スイッチング・高効率化を阻害する課題があった。そこで本論文では、低ノイズと高速ターンオフスイッチングの相反する性能を同時に実現できる、GaN GIT ゲート駆動のための「2 段階ターンオフ方式」を提案した。提案したゲート駆動回路を用いて同期整流型 DC/DC コンバータに実装し、実機評価した。高速ターンオフスイッチング特性、及び効率を損なうことなく、スパイクゲート電圧が最大 8.4 V 低下することが確認され、−10 V の定格ゲート-ソース間電圧に対して十分なマージンを確保でき、本方式の有効性を示した。

今後は、駆動条件に合わせた回路定数の最適化を検討していく。

参考文献

1）Jones, E. A.; Wang, F. F.; Costinett, D. Review of Commercial GaN Power Devices and GaN-Based Converter Design Challenges. IEEE Journal of Emerging and Selected Topics in Power Electronics. September 2016, Vol.4, Issue 3, p.707−719.

2）Oka, T.; Ina, T.; Ueno, Y.; Nishii, J. Over 10 A Operation with Switching Characteristics of 1.2 kV-Class Vertical GaN Trench MOSFETs on a Bulk GaN Substrate. Proc. 28th Int. Symp. Power Semiconductor Devices and IC's. July 2016, p.459−462.

3）Hilt, O.; Treidel, E.; Wolf, M.; Kuring, C.; Tetzner, K.; Yazdani, H.; Wentzel, A.; Würfl, J. Lateral and vertical power transistors in GaN and Ga2O3. IET Power Electron. December 2019, Vol.12 Issue 15, p.3919−3927.

4）Hahn, H.; Reuters, B.; Pooth, A.; Holländer, B.; Heuken, M.; Kalisch, H.; Vescan, A. p-Channel Enhancement and Depletion Mode GaN-Based HFETs With Quaternary Backbarriers. IEEE Transactions on Electron Devices. October 2013, Vol.60, No.10, p.3005−3011.

5）Cai, Y.; Zhou, Y.; Chen, K.; Lau, K. High-Performance Enhancement-Mode AlGaN/GaN HEMTs Using Fluoride-Based Plasma Treatment". IEEE Electron Device Letters. July 2005, Vol.26, No.7, p.435−437.

6）Huang, X.; Liu, Z.; Li, Q.; Lee, F. C. Evaluation and Application of 600 V GaN HEMT in Cascode Structure. IEEE Transactions Power Electon. May 2014, Vol.29, No.5, p.2453−2461.

7）Uemoto, Y.; Hikita, M.; Ueno, H.; Matsuo, H.; Ishida, H.; Yanagihara, M.; Ueda, T.; Tanaka, T.; Ueda, D. Gate Injection Transistor（GIT）- A Normally-Off AlGaN/GaN Power Transistor Using Conductivity Modulation. IEEE Transactions Electron Devices. November 2007, Vol.54, No.12, p.3393−3399.

8）Morita, T.; Handa, H.; Ujita, S.; Ishida, M.; Ueda, T. 99.3% Efficiency of Boost-Up Converter for Totem-Pole Bridgeless PFC Using GaN Gate Injection Transistor. Proceedings of the International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, PCIM Europe. May 2014, p.325−329.

9）Li, H.; Han, C.; Brothers, J.; Zhang, X.; Wang, J. Evaluation of 600 V GaN based gate injection transistors for high temperature and high efficiency applications. 2015 IEEE 3rd Workshop on Wide Bandgap Power Devices and Applications（WiPDA）. November 2015, p.85−91.

10）Abdullah, Y.; Li, H.; Wang, J. Evaluation of 600 V Direct-Drive GaN HEMT and a Comparison to GaN GIT. IEEE 5th Workshop on Wide Bandgap Power Devices and Applications（WiPDA）. November 2017, p.273−276.

11）Bortis, D.; Knecht, O.; Neumayr, D.; Kolar, J. W. Comprehensive Evaluation of GaN GIT in Low- and High-Frequency Bridge Leg Applications. 2016 IEEE 8th international Power Electronics and Motion Control Conference（IPEMC-ECCE Asia）. May 2016, p.21−30.

12）Zojer, B. 600 V CoolGaN™ high electron mobility transistors. AN_201702_PL52_012, Infineon Technologies AG, 2018.

13）Infineon Technologies AG. "IGOT60R070D1, 600V CoolGaN™ enhancement-mode power transistor". datasheet, 2020.

執筆者紹介

野坂 紀元　NOSAKA Noriyuki
技術・知財本部　研究開発センタ
専門：電気工学
所属学会：電気学会

岡田　亘　OKADA Wataru
技術・知財本部　研究開発センタ
専門：電気工学

上松 武　UEMATSU Takeshi
技術・知財本部　研究開発センタ
専門：電気工学、制御工学
所属学会：電気学会、電子情報通信学会
博士（工学）

本文に掲載の商品の名称は、各社が商標としている場合があります。